

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02666168     \*\*Image available\*\*

MANUFACTURE OF THIN-FILM TRANSISTOR

PUB. NO.:     63-283068 [JP 63283068 A]

PUBLISHED:     November 18, 1988 (19881118)

INVENTOR(s):   DOI TSUKASA

                 KUDO ATSUSHI

                 KOBA MASAYOSHI

                 SATO HIROYA

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:     62-117579 [JP 87117579]

FILED:           May 14, 1987 (19870514)

INTL CLASS:    [4] H01L-029/78; H01L-027/12

JAPIO CLASS:   42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
                 MOS)

JOURNAL: Section: E, Section No. 728, Vol. 13, No. 110, Pg. 93, March 16, 1989 (19890316)

#### ABSTRACT

PURPOSE: To reduce a leakage current between a source and a drain by a method wherein a heteropolar impurity is doped only to a lower part interface between the source and the drain of a polycrystalline silicon film to become an active layer of a thin-film transistor.

CONSTITUTION: After a polycrystalline silicon thin film 12 has been evaporated onto a Pyrex glass substrate 11, ions of boron are implanted.

Then, a silicon oxide film 13 to become a gate insulating film is deposited and annealed in an atmosphere of oxygen. Then, a polycrystalline silicon film 14 is deposited; after that, a silicon oxide film 15 is deposited on the film; after that, a gate electrode is formed. Then, ions of phosphorus are implanted; after that, a silicon oxide film 16 to become an interlayer insulating film is deposited and annealed in an atmosphere of nitrogen.

Then, contact holes 17 and 18 at a source part and a drain part are made; AlSi is deposited; after that, a source electrode 19 and a drain electrode 20 are patterned.

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

007745675    \*\*Image available\*\*

WPI Acc No: 1989-010787/198902

**Poly-silicon thin-film transistor prodn. for active-matrix LCD panel - by  
forming silicon oxide film on poly-silicon film and injecting impurities.**

**NoAbstract Dwg 1/3**

Patent Assignee: SHARP KK (SHAF )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 63283068</b>	A	19881118	JP 87117579	A	19870514	198902 B

Priority Applications (No Type Date): JP 87117579 A 19870514

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 63283068	A	33		

Title Terms: POLY; SILICON; THIN; FILM; TRANSISTOR; PRODUCE; ACTIVE;  
MATRIX ; LCD; PANEL; FORMING; SILICON; OXIDE; FILM; POLY; SILICON; FILM;

INJECTION; IMPURE; NOABSTRACT

Index Terms/Additional Words: LIQUID; CRYSTAL; DISPLAY

Derwent Class: L03; U11; U12; U14

International Patent Class (Additional): H01L-027/12; H01L-029/78

File Segment: CPI; EPI

## ⑫ 公開特許公報(A)

昭63-283068

⑪ Int. Cl.<sup>4</sup>H 01 L 29/78  
27/12

識別記号

3 1 1

庁内整理番号

Z-8422-5F  
7514-5F

⑬ 公開 昭和63年(1988)11月18日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 薄膜トランジスタの製造方法

⑮ 特 願 昭62-117579

⑯ 出 願 昭62(1987)5月14日

⑰ 発 明 者 土 居 司 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑱ 発 明 者 工 藤 淳 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑲ 発 明 者 木 場 正義 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑳ 発 明 者 佐 藤 浩 哉 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

㉑ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉒ 代 理 人 弁理士 深見 久郎 外2名

## 明 細 書

## 1. 発明の名称

薄膜トランジスタの製造方法

## 2. 特許請求の範囲

多結晶シリコン薄膜を半導体活性層とするMIS型電界効果トランジスタを形成する多結晶シリコン薄膜トランジスタの製造方法において、絶縁物質である基板を準備し、前記基板上に多結晶シリコン膜を形成し、前記多結晶シリコン膜下面へ第1の極性を有する不純物を注入し、前記多結晶シリコン膜上にゲート絶縁膜となるシリコン酸化膜を形成し、前記シリコン酸化膜上にゲート電極となる多結晶シリコン膜を形成し、前記多結晶シリコン膜上にシリコン酸化膜を形成し、次いで前記多結晶シリコン膜下面へ注入した第1の極性に対して異なる極性を有する不純物を前記シリコン酸化膜上に注入し、その後前記トランジスタの残余の製造工程を行なうことを特徴とする薄膜トランジスタの製造方法。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

この発明は大面積のアクティブマトリックス液晶ディスプレイならびに3次元素子等に応用される多結晶シリコン薄膜トランジスタに関するもので、特に、ソース、ドレイン間のリーク電流を低減した多結晶シリコン薄膜トランジスタに関するものである。

## 〔従来の技術〕

従来の多結晶薄膜トランジスタは基板上に形成された半導体、絶縁膜、ゲート、ソース、ドレイン等からなりソースに対してドレインに一定のドレイン電圧を印加し、ソースに対するゲートの電圧をコントロールすることにより、活性層の上層界面に形成されるチャンネルを制御して薄膜トランジスタをスイッチングするという駆動方法が用いられている。

## 〔発明が解決しようとする課題〕

従来の多結晶薄膜トランジスタは以上のように構成されているので、基板絶縁膜と多結晶シリコン膜との界面状態によっては活性層下部界面のエ

エネルギーバンドがソース、ドレイン部と同極性に曲がっている場合がある。そのため活性層下部界面に常にチャンネル領域が形成される状態となってソース、ドレイン部のリーク電流が増大し、薄膜トランジスタのオフ電流が増加する。このリーク電流を減少させるためには、活性層全体にソース、ドレイン部に対して異極性の不純物を注入する必要がある。しかしこの方法では同時にしきい値電圧の増大を招くという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、活性層下部界面にチャンネルが形成されることを防止し、しきい値電圧を増加させることなくオフ電流を低減させた薄膜トランジスタを得ることを目的とする。

#### 【問題点を解決するための手段】

この発明に係る薄膜トランジスタの製造方法は、活性層をなす多結晶シリコン薄膜のソース、ドレイン部の下部界面にのみ異極性不純物を注入したものである。

#### 【作用】

イオンの注入後の分布は、第2図に示すようになり、活性層最下面での $11B^+$ 濃度は $2 \times 10^{18} / \text{cm}^2$ になる。次いで活性層をバターニングで形成した。次いで第1図(b)に示すように常圧CVD法により、420℃でゲート絶縁膜となるシリコン酸化膜13を500Å堆積し、酸素雰囲気中で550℃、2時間アニールを行ない、シリコン酸化膜13の緻密化を図った。次いで第1図(c)に示すように、前述の真空蒸着法で多結晶シリコン膜14を500Å堆積した後、この上に常圧CVD法でシリコン酸化膜15を500Å堆積した後、バターニングしてゲート電極を形成した。次に第1図(d)に示すようにリンイオン $11P^+$ を50 KeVで、 $1.5 \times 10^{17} / \text{cm}^2$ 個/cm<sup>2</sup>注入した。その後層間絶縁膜となるシリコン酸化膜16を常圧CVD法で500Å堆積し、リンイオン $11P^+$ 活性化のために酸素雰囲気中550℃で70時間アニールを行なった。このアニールを終了した時点で $11B^+$ イオンの分布はほとんど変化しないことはSIMS (Secondary Ion

この発明における薄膜トランジスタは、多結晶シリコン薄膜の活性層下部のソースドレインの界面に注入した異極性不純物が下部界面でのチャンネル形成を押し、オフ電流の低減が可能となる。  
【発明の実施例】

第1図を参照して本発明の一実施例を詳細に説明する。本実施例では発明の効果が最も顕著に現われる550℃以下の低温で作成される薄膜トランジスタについて示したが、本発明の適用はこの例に限定されるものではない。

第1図(a)~(f)はそれぞれ本発明の一実施例としての各プロセスにおける素子断面を示す図である。本発明を実施するにあたり、少なくとも表面が絶縁物質である基板としてバイレックスガラス基板11を用い、第1図(a)に示すようにまず有機洗浄および酸洗浄をしたバイレックスガラス基板上に真空蒸着法により500Åの多結晶シリコン薄膜12を蒸着した後、ボロンイオン $11B^+$ を30 KeVで、 $4.4 \times 10^{17} / \text{cm}^2$ 個/cm<sup>2</sup>注入した。この条件で注入すると、 $11B^+$

Mass Spectroscopy) によって既に確認している。次に第1図(e)に示すようにソースおよびドレイン部のコンタクトホール17および18を開口し、スパッタ法でAlSiを5000Å堆積した後、第1図(f)に示すようにソース電極19およびドレイン電極20をバターニングした。最後に酸素雰囲気中440℃で30分間アニールを行なった後水素プラズマで水素化を行なった。水素化は基板温度300℃、水素/酸素比1対1、圧力1 Torr、Rf power、280 mW/cm<sup>2</sup>、処理時間5時間で行なった。第3図は上記のようにして作成した薄膜トランジスタのゲート電圧対ドレイン電流特性を示したものである。Aは上記の実施例で作成したもの、Bは活性層下部界面にソース、ドレイン部に対して異極性不純物を注入していないものである。なおこの薄膜トランジスタのチャンネル長およびチャンネル幅は共に10μmであり、ソースに対するドレインのバイアス電圧は+1Vである。第3図より明らかなように活性層下部に $11B^+$ を注入することでしきい値電圧

を増大させることなくオフ電流を低減していることがわかる。なお、上記実施例では活性層下部へのイオン注入条件として注入電圧30KeVで注入量 $4.4 \times 10^{11}$ 個/cm<sup>2</sup>で行なったが、活性層としての多結晶シリコン膜の膜質によってオフ電流に対する効果は変わるために、成膜条件に応じて最適化する必要があるが、この範囲は、活性層下面での注入量としておおよそ $5 \times 10^{11}$ cm<sup>-2</sup>から $5 \times 10^{12}$ cm<sup>-2</sup>の範囲にある。

#### 【発明の効果】

以上のようにこの発明による薄膜トランジスタの製造方法によれば、薄膜トランジスタの活性層をなす多結晶シリコン膜のソース、ドレイン層の下部界面にのみ異極性不純物を注入するよう形成したので、活性層下部界面にチャンネルが形成されることを防止でき、しきい値電圧を増加させることなくソース、ドレイン層のリーク電流を低減でき、薄膜トランジスタ特性を向上できるという効果がある。

これによりSOI (Silicon on Insulator)

- 7 -

デバイスや液晶ディスプレイ表示素子用薄膜トランジスタへの応用が期待できるという効果がある。

#### 4. 図面の簡単な説明

第1図(a)～(f)は本発明の一実施例による多結晶シリコン薄膜トランジスタの製造プロセスにおける素子断面を示す図である。

第2図は本発明の一実施例により製造した薄膜トランジスタの不純物濃度(11B<sup>+</sup>イオン)の分布を示す図である。

第3図は本発明の一実施例により製造した薄膜トランジスタと従来方法で製作した薄膜トランジスタのゲート電圧対ドレイン電流特性を比較した図である。

第1図において11はバイレックスガラス(絶縁基板)、12は多結晶シリコン薄膜(活性層)、13はシリコン酸化膜(ゲート絶縁膜)、14は多結晶シリコン膜(ゲート電極)、15はシリコン酸化膜(不純物注入深さ制御酸化膜)、16はシリコン酸化膜(層間絶縁膜)、17はコンタクトホール(ソース部)、18はコンタクトホール(ドレイン部)、19はソース電極、20はドレイン電極

- 8 -

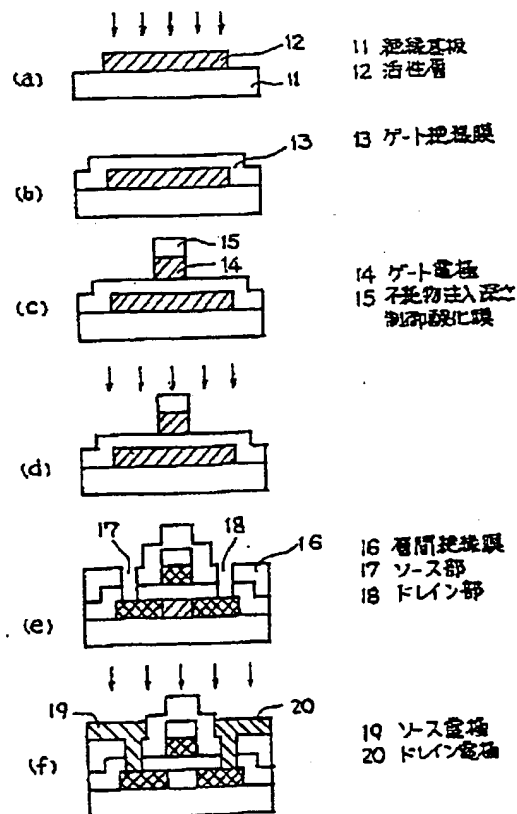
(ドレイン部)、19はA&S I (ソース電極)、20はA&S I (ドレイン電極)を示す。

第3図においてAは活性層下部に11B<sup>+</sup>を注入したサンプル、Bは活性層下部に11B<sup>+</sup>を注入しないサンプルのデータを示す。

特許出願人 シャープ株式会社

代理人 弁理士 徳 晃 久 郎

(ほか2名)



第1図

